

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-279297

(43)Date of publication of application : 22.10.1996

(51)Int.Cl.

G11C 16/06

(21)Application number : 08-075708

(71)Applicant : SAMSUNG ELECTRON CO LTD

(22)Date of filing : 29.03.1996

(72)Inventor : JUNG TAE-SUNG

(30)Priority

Priority number : 95 9507532

Priority date : 31.03.1995

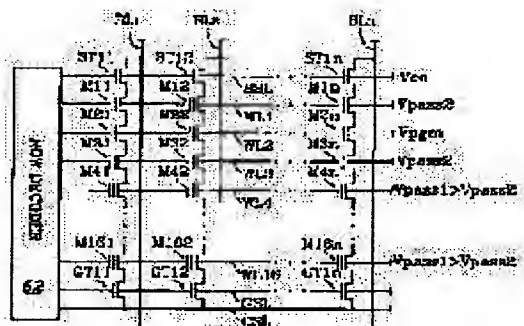
Priority country : KR

## (54) NONVOLATILE SEMICONDUCTOR MEMORY OF HAND STRUCTURE AND ITS PROGRAMMING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To surely prevent fluctuations of a threshold voltage of a memory transistor for maintaining erase data in EEPROM's having a NAND type memory cell.

SOLUTION: When a program voltage  $V_{pgm}$  is supplied to a word line WL2 to page-program, a second pass voltage  $V_{pass2}$  lower than a first pass voltage  $V_{pass1}$  is supplied to adjacent word lines WL1, WL3. When  $V_{cc}$  is supplied to a bit line BL1 and a memory transistor M21 is a cell for storing erase data, both memory transistors M11, M31 adjacent to the memory transistor M21 are unconductively connected in accordance with capacitance coupling of a word line voltage. Therefore, a local step-up voltage by a program voltage is charged in the memory transistor M21, and a change in a threshold voltage is surely prevented.



## LEGAL STATUS

[Date of request for examination]

29.03.1996

[Date of sending the examiner's decision of rejection]

19.05.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3167919

[Date of registration]

09.03.2001

[Number of appeal against examiner's decision]

10-12489

(19)日本国特許庁 (J P)

## (12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平8-279297

(43)公開日 平成8年(1996)10月22日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 J 3 0 9 D 5 1 0 A

審査請求 有 請求項の数18 O L (全 12 頁)

(21)出願番号 特願平8-75708

(22)出願日 平成8年(1996)3月29日

(31)優先権主張番号 1 9 9 5 P 7 5 3 2

(32)優先日 1995年3月31日

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 鄭 泰聖

大韓民国京畿道軍浦市衿井洞木花アパート

138棟104号

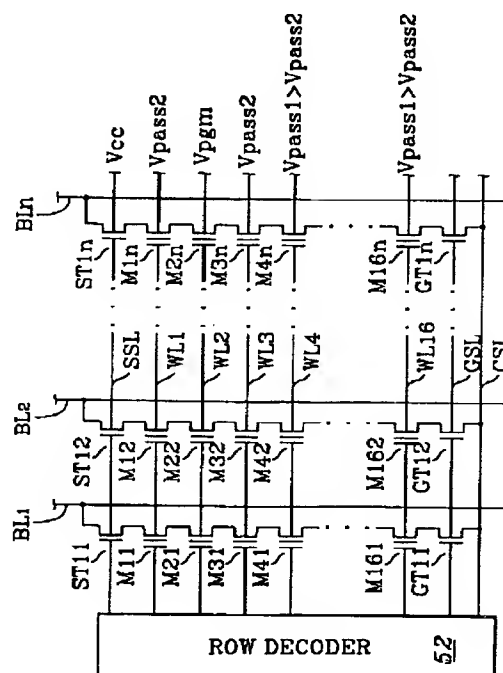
(74)代理人 弁理士 高月 猛

(54)【発明の名称】 NAND構造の不揮発性半導体メモリとそのプログラム方法

## (57)【要約】

【課題】 NAND形メモリセルをもつEEPROMで、消去データを維持するメモリトランジスタのしきい電圧の変動を確実に防止できるようにする。

【解決手段】 ワード線WL2へプログラム電圧Vpgmを提供してページプログラムを行う場合、隣接ワード線WL1、WL3へ第1パス電圧Vpass1より低い第2パス電圧Vpass2を提供する。ビット線BL1にVccが提供されメモリトランジスタM21が消去データを維持するセルである場合、ワード線電圧の容量カップリングに従ってメモリトランジスタM21の両隣のメモリトランジスタM11、M31が非道通化するの、メモリトランジスタM21にプログラム電圧による局部的昇圧電圧が充電され、しきい値電圧の変化が確実に防止される。



## 【特許請求の範囲】

【請求項 1】 直列接続した複数のフローティングゲート形メモリトランジスタを有してなる多数のセルユニットをメモリセルアレイに備えた不揮発性半導体メモリにおいて、

消去後のプログラムで、前記セルユニットのうち少なくとも 1 つを選択して該選択セルユニット内の 1 メモリトランジスタを選択しそしてその対応ワード線へプログラム電圧を提供すると共に、該ワード線に接続した消去データを維持する他のメモリトランジスタにおける前記プログラム電圧の容量カップリングで当該他のメモリトランジスタに接続した隣接メモリトランジスタが非導通化するようにして前記他のメモリトランジスタに局部的昇圧電圧を充電するデコーダを備えることを特徴とする不揮発性半導体メモリ。

【請求項 2】 デコーダは、選択セルユニット内の選択メモリトランジスタ及びその両隣の隣接メモリトランジスタを除いた残りのメモリトランジスタの制御ゲートに対応のワード線へプログラム電圧より低い第 1 パス電圧を提供し、前記隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第 1 パス電圧より低い第 2 パス電圧を提供する請求項 1 記載の不揮発性半導体メモリ。

【請求項 3】 プログラム電圧が、第 1 及び第 2 パス電圧と同時に又は前記第 1 及び第 2 パス電圧の印加後に提供される請求項 2 記載の不揮発性半導体メモリ。

【請求項 4】 第 2 パス電圧が、消去データではないデータにプログラムされるメモリトランジスタのしきい値電圧より高い請求項 3 記載の不揮発性半導体メモリ。

【請求項 5】 第 1 及び第 2 パス電圧が、印加開始後の所定期間昇圧レベルで提供される請求項 3 記載の不揮発性半導体メモリ。

【請求項 6】 デコーダは、選択メモリトランジスタのビット線側に接続した隣接メモリトランジスタとビット線との間にあるメモリトランジスタの制御ゲートに対応のワード線へプログラム電圧より低い第 1 パス電圧を提供すると共に前記ビット線側隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第 1 パス電圧より低い第 2 パス電圧を提供し、また前記ビット線側隣接メモリトランジスタとは反対側の隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第 2 パス電圧より低い電圧を提供し、そして、消去データを維持する他のメモリトランジスタの属するセルユニットに対応のビット線及び各セルユニットのビット線接続端に設けられた選択メモリトランジスタのゲートに対し第 1 電圧を提供する請求項 1 記載の不揮発性半導体メモリ。

【請求項 7】 第 1 電圧が電源電圧である請求項 6 記載の不揮発性半導体メモリ。

【請求項 8】 ビット線の第 1 電圧はデータラッチに貯蔵されたデータに対応する電圧である請求項 6 記載の不揮発性半導体メモリ。

【請求項 9】 デコーダは、第 1 電圧を印加した後に第 2 パス電圧及び該第 2 パス電圧より低い電圧を印加し、そして同時に又はそれ以後にプログラム電圧を印加する請求項 6 記載の不揮発性半導体メモリ。

【請求項 10】 制御ゲートが対応ワード線へ接続される複数のフローティングゲート形メモリトランジスタを直列接続してなるセルユニットを行と列のマトリックス状に多数配列し、1 行に配列の前記セルユニットでブロックを構成するようにしたメモリセルアレイを有する不揮発性半導体メモリにおいて、

選択行ブロックの選択ワード線に接続された選択メモリトランジスタのうちの第 1 グループの選択メモリトランジスタを消去データに維持し、残りの第 2 グループの選択メモリトランジスタを前記消去データと異なるデータにプログラムする消去後のプログラムで、前記選択ワード線とこれに隣接したワード線を除いた残りの前記選択行ブロック内ワード線に第 1 パス電圧を提供すると共に前記隣接ワード線に前記第 1 パス電圧より低い第 2 パス電圧を提供し、前記第 1 グループの選択メモリトランジスタは充電とすると共に前記第 2 グループの選択メモリトランジスタは放電とし、そして、前記選択ワード線に前記第 1 パス電圧より高いプログラム電圧を提供することにより、前記第 1 グループの選択メモリトランジスタの前記充電電圧を更に高めてしきい値電圧が変更されないように充電すると共に前記第 2 グループの選択メモリトランジスタをプログラムするデコーダを有することを特徴とする不揮発性半導体メモリ。

【請求項 11】 第 2 パス電圧が第 2 グループの選択メモリトランジスタのしきい値電圧よりは高い請求項 10 記載の不揮発性半導体メモリ。

【請求項 12】 複数のフローティングゲート形メモリトランジスタを直列接続してなるセルストリングを備えた不揮発性半導体メモリのプログラム方法において、プログラム中に消去データのしきい値電圧を維持する選択メモリトランジスタの制御ゲートへプログラム電圧を提供することで該選択メモリトランジスタの両隣の隣接メモリトランジスタが非導通化するようにし、これにより前記選択メモリトランジスタに局部的昇圧電圧を充電してそのしきい値電圧の変化を防止することを特徴とするプログラム方法。

【請求項 13】 選択メモリトランジスタのビット線側に接続した隣接メモリトランジスタとビット線との間のメモリトランジスタの制御ゲートへプログラム電圧より低い第 1 パス電圧を印加し、前記ビット線側隣接メモリトランジスタの制御ゲートへ前記第 1 パス電圧より低い第 2 パス電圧を印加する請求項 12 記載のプログラム方法。

【請求項 14】 第 1 及び第 2 パス電圧の印加と同時に又はそれ以後にプログラム電圧を印加する請求項 13 記載のプログラム方法。

【請求項 1 5】 選択メモリトランジスタのビット線とは反対側に接続した隣接メモリトランジスタの制御ゲートに第 2 パス電圧を印加する請求項 1 4 記載のプログラム方法。

【請求項 1 6】 選択メモリトランジスタのビット線とは反対側に接続した隣接メモリトランジスタの制御ゲートに第 2 パス電圧より低い電圧を印加する請求項 1 4 記載のプログラム方法。

【請求項 1 7】 第 1 及び第 2 パス電圧を印加開始から所定期間昇圧レベルで印加する請求項 1 4 ~ 1 6 のいずれか 1 項に記載のプログラム方法。

【請求項 1 8】 対応ワード線へ制御ゲートを接続した複数のフローティングゲート形メモリトランジスタを直列接続してなる多数のセルユニットから構成されたメモリセルアレイをもち、プログラムで、前記セルユニットのうちの少なくとも 1 つを選択し、該選択セルユニットのうちの 1 メモリトランジスタを選択するデコーダを備えた不揮発性半導体メモリにおいて、前記選択メモリトランジスタ及び該選択メモリトランジスタに接続した隣接メモリトランジスタを除く前記選択セルユニット内の残りのメモリトランジスタの制御ゲートに対応したワード線には第 1 パス電圧を提供し、また前記隣接メモリトランジスタの制御ゲートに対応したワード線には前記第 1 パス電圧より低い第 2 パス電圧を提供し、そして前記選択メモリトランジスタの制御ゲートに対応したワード線には前記第 1 パス電圧より高いプログラム電圧を提供することにより、非選択セルユニットにおける前記第 2 パス電圧としたワード線に接続のメモリトランジスタを非導通化させて前記プログラム電圧としたワード線に接続のメモリトランジスタを局部的昇圧電圧に充電するプログラム回路を備えることを特徴とする不揮発性半導体メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は不揮発性半導体メモリに関するもので、特に、NAND 構造のセルを有する不揮発性半導体メモリのプログラム回路及び方法に関するものである。

【0 0 0 2】

【従来の技術】 現在の不揮発性半導体メモリは電氣的消去及びプログラムを可能としたものが主流を占め、中でも特に、チップ上のメモリセルの占有面積を減少できる NAND 構造のセルを有する EEPROM の需要が高い。NAND 構造のセル（“NAND セルユニット”又は“セルユニット”とする）は、ドレインが対応ビット線にコンタクトホールを介し接続された第 1 選択トランジスタと、ソースが共通ソース線に接続された第 2 選択トランジスタと、を両端にもち、これら選択トランジスタの間、即ち第 1 選択トランジスタのソースと第 2 選択トランジスタのドレインとの間に複数のメモリトランジ

スタのチャンネル（又はドレインソース通路）を直列接続した構造をもっている。各メモリトランジスタは、そのソースドレイン間のチャンネル領域上にゲート酸化膜を介し形成されたフローティングゲートと、このフローティングゲート上に中間絶縁膜を介して形成された制御ゲートと、を有してなり、このような NAND セルユニットは主に半導体基板内の P 形ウェルに形成される。NAND セルユニットはセル当りの選択トランジスタ数やビット線コンタクト数を減らすことができるので、NAND セルユニットを有する EEPROM は、チップ面積を抑えた高密度化が容易で大メモリ容量を達成しやすい。

【0 0 0 3】 上記のような EEPROM のメモリセルアレイは、行と列のマトリックス状に配列した多数の NAND セルユニットで構成される。同一行に配列された NAND セルユニットの第 1 選択トランジスタのゲート、直列接続されたメモリトランジスタの制御ゲート、第 2 選択トランジスタのゲートはそれぞれ、第 1 選択線、ワード線、第 2 選択線に接続され、そして同一行に配列された NAND セルユニットで行ブロックが構成される。また、同一列に配列された NAND セルユニットの一端、即ち第 1 選択トランジスタのドレインは、対応ビット線に接続され、そしてビット線はページバッファとなるデータラッチへ接続される。

【0 0 0 4】 この構造の EEPROM では、高速プログラム実行のために、1 つの選択ワード線に接続されたメモリトランジスタにデータを一気に書込むページプログラムを実施するようにしている。このためにまず、1 つの選択ワード線に接続のメモリトランジスタをプログラムする前段階として、該当選択ワード線に関連した行ブロック又はメモリセルアレイ内のメモリトランジスタの消去が実施される。消去は、行ブロック又はメモリセルアレイ内のワード線に 0 V を印加しながらセルユニットを形成した P 形ウェルに約 2 0 V の消去電圧を印加することによって行われる。これにより、消去対象のメモリトランジスタのフローティングゲートから F-N (Fowler-Nordheim) 電流で電子が抜け出し、負のしきい値を有するデプレッションモードのトランジスタとなる。この消去されたメモリトランジスタはデータ“1”を貯蔵していると仮定する。

【0 0 0 5】 メモリトランジスタの消去後にプログラムが行われる。ページプログラムは、ビット線とそれぞれ接続されたデコーダのデータラッチに対し外部データ入力端子を通じた入力データをローディングした後、該データラッチの貯蔵データを 1 つの選択ワード線に接続のメモリトランジスタへ一度に書込む方式である。図 1 に、1 つの行ブロックに関連する NAND セルユニットの回路図を示し、従来技術のページプログラム方法について説明する。

【0 0 0 6】 ワード線 WL 2 と接続されたメモリトラン

ジスタM21～M2nに対してプログラムが行われると仮定する。また、選択メモリトランジスタM21がデータ“1”にそしてメモリトランジスタM2nがデータ“0”にプログラムされると仮定する。この場合、ビット線BL1に接続のデータラッチはデータ“1”を、ビット線BLnに接続のデータラッチはデータ“0”を、それぞれプログラムに際して貯蔵している。尚、プログラム中、データ“1”つまり消去データを維持させるメモリトランジスタに対応のビット線は非選択ビット線と定義し、データ“0”つまりデータが変更されるメモリトランジスタに対応のビット線は選択ビット線と定義する。

【0007】プログラム動作において、ビット線BL1～BLnには、データラッチの貯蔵データ“1”（電源電圧Vcc）又はデータ“0”（接地電圧0V）が送られる。また、第1選択線SSLには電源電圧Vccが印加され、非選択ワード線WL1、WL3～WL16には例えば10Vのバス電圧Vpassが印加される。選択ワード線WL2に対しては、例えば18Vのプログラム電圧Vpgmが印加され、そして第2選択GSLには第2選択トランジスタGT11～GT1nを非導通化する0Vの電圧が印加される。

【0008】データ“0”プログラムのメモリトランジスタM2nに対応の選択ビット線BLnには、データ“0”に対応する例えば接地電圧が印加される。そして、第1選択トランジスタST1nはゲートに電源電圧Vccを受けて導通しており、また、選択ビット線BLnに接続のメモリトランジスタM1n～M16nは各制御ゲートにバス電圧Vpass、プログラム電圧Vpgmを受けて導通しているので、これらのドレイン、ソース、及びチャネルはすべてほぼ接地電圧となる。且つこのとき、選択ワード線WL2に接続のメモリトランジスタM2nの制御ゲートにはプログラム電圧Vpgmが印加されるため、当該メモリトランジスタM2nではそのプログラム電圧VpgmによるF-N電流が生じ、フローティングゲートへ電子が注入される。この結果、メモリトランジスタM2nは正のしきい値電圧を有するエンハンスメントモードのトランジスタに変更され、データ“0”を記憶する。

【0009】一方、消去データ“1”をメモリトランジスタM21に維持させるため、非選択ビット線BL1には、データラッチからデータ“1”に対応する例えば電源電圧Vccが印加される。そして第1選択線SSLに電源電圧Vccが印加されるので、第1選択トランジスタST11のゲートとドレインに電源電圧Vccが印加されることになる。この第1選択トランジスタST11のソースから直列接続されたメモリトランジスタM11～M161における各制御ゲートの電圧が0Vからバス電圧Vpass、プログラム電圧Vpgmに増加すると、メモリトランジスタM11～M161のドレイン、

ソース、及びチャネルは、容量カップリングによりVcc-Vthの電圧より高い昇圧電圧Vbtに充電される。尚、Vthは第1選択トランジスタST11のしきい値電圧である。

【0010】各メモリトランジスタの制御ゲートとソース、ドレイン、チャネルとの間の容量をC1、また、チャネル、ソース、ドレインとP形ウェルとの間の容量をC2とし、 $C1/(C1+C2)$ をカップリング係数rと定義すると、昇圧電圧Vbtは次の数式1で表すことができる。尚、nはNANDセルユニット内のメモリトランジスタ数である。

$$\text{【数1】 } Vbt = \{ (n-1) r Vpass + r Vpgm \} / n + Vcc - Vth$$

【0011】メモリトランジスタM11～M161のドレイン、ソース、及びチャネルがVcc-Vthの電圧まで増加した時点で第1選択トランジスタST11は非導通となり、従ってメモリトランジスタM11～M161のドレイン、ソース、及びチャネルは昇圧電圧Vbtに均一に充電される。これによって選択メモリトランジスタM21の制御ゲートとドレイン、ソース、及びチャネルとの間の電圧差がVpgm-Vbtとなり、この電圧差はF-N電流を生じるほど高くないので、メモリトランジスタM21のプログラムが防止される。即ち、メモリトランジスタM21は消去時の負のしきい値電圧を維持することになる。このような自己プログラム防止技術は、1994年8月19日付公開の韓国特許公開94-18870号に開示されている。

【0012】

【発明が解決しようとする課題】上記の自己プログラム防止技術では以下のような改善点が指摘されている。

【0013】バス電圧Vpassが高い場合、データ“0”にプログラムされるメモリトランジスタM2nの属するNANDセルユニット内の非選択メモリトランジスタM1n、M3n～M16nの各制御ゲート対する電圧が上がることになるので、これら非選択のメモリトランジスタM1n、M3n～M16nのしきい値電圧が増加し得ることになる。従って、バス電圧Vpassを低めるのが望ましいが、これは一方で、消去データであるデータ“1”を維持する選択メモリトランジスタM21の制御ゲートとドレイン、ソース、チャネルとの間の電圧差Vpgm-Vbtの増加につながり、その結果メモリトランジスタM21のしきい値電圧増加を招く可能性をもつ。そこで、選択メモリセルと非選択メモリセルのしきい値電圧増加にできるだけつながらないようなバス電圧Vpassの妥協点が要求される。これにつき図2を参照してより具体的に説明する。

【0014】図2は、バス電圧Vpass（横軸）が増加するとき、選択ビット線に接続のNANDセルユニット（選択セルユニット）における非選択メモリトランジスタと、非選択ビット線に接続のNANDセルユニッ

ト（非選択セルユニット）における消去データを維持する選択メモリトランジスタと、の各しきい値電圧の変動状態を表したグラフである。曲線Aは、選択ビット線に関連したNANDセルユニット、即ちデータ“0”プログラムの選択メモリトランジスタの属するNANDセルユニットにおける非選択メモリトランジスタのしきい値電圧の変動を示し、曲線Bは、消去データ“1”を維持する選択メモリトランジスタ、即ち非選択NANDセルユニットにおける選択メモリトランジスタのしきい値電圧の変動を示している。この図2のグラフは、メモリトランジスタのしきい値電圧が $-3\text{ V}$ になるように消去を行った後、 $18\text{ V}$ のプログラム電圧 $V_{pgm}$ を使用してプログラムを実施し、カップリング係数 $r$ が約 $0.6$ である場合の測定値を用いたものである。

【0015】同図から分かるように、曲線A、Bのパス電圧 $V_{pass}$ に対する依存性は相反する特性をもつ。この場合のパス電圧 $V_{pass}$ の範囲は、曲線Aのしきい値電圧に対する影響ができるだけ小さい範囲で、曲線Bのしきい値電圧に対する影響を最少化できる範囲をとって定められる。例えば、消去メモリトランジスタのしきい値電圧が $-2\text{ V}$ まで変わってもメモリトランジスタに対する正常な読出動作が可能であれば、図2の場合、パス電圧 $V_{pass}$ は $9.5\sim 12\text{ V}$ の範囲で決定される。

【0016】しかし、グラフから分かる通り、この範囲内にあるパス電圧 $V_{pass}$ にあっては曲線A、Bのしきい値電圧は変動する可能性を有するので、データ

“0”プログラムのメモリトランジスタが属した選択NANDセルユニット内の非選択メモリトランジスタのデータ、或いは消去データを維持すべき選択メモリトランジスタのデータが変更される可能性は残る。特に、選択ワード線に接続のメモリトランジスタをデータ“0”にプログラムする場合、プログラム実施後に当該メモリトランジスタが例えば $1\text{ V}$ の所定のしきい値電圧をもっていなければ、プログラム検証で感知されて再プログラムが実施される。この場合、該当メモリトランジスタが所望のしきい値電圧をもつまでプログラムが繰返し実施されるため、このメモリトランジスタの属する選択NANDセルユニットの非選択メモリトランジスタのしきい値電圧、或いは選択ワード線に接続の消去データを維持すべき他の選択メモリトランジスタのしきい値電圧は、データ反転可能なまでに変化し得る。

【0017】更に、従来のEEPROMでは行ブロックに対し消去を実施し、そして消去した行ブロック内の多数のワード線を対象にしてプログラムを行わなければならない。これは、プログラム対象ではないワード線に接続のメモリトランジスタに対しても再プログラムを実施しなければならないという不具合をもつ。従来技術でワード線単位でプログラムを実行できないのは次の理由による。即ち、選択ワード線に接続のプログラム対象の選

択メモリトランジスタのうちいずれか1つでも所定のしきい値電圧をもっていなければ再プログラムを実行しなければならないが、上述のようにパス電圧の妥協範囲でしきい値電圧は変動し得るので、選択ワード線と非選択ワード線に対して反復的にプログラム電圧とパス電圧が印加されると、プログラム失敗となったメモリトランジスタ以外のメモリトランジスタにもしきい値電圧の変動が発生してデータが変化し誤データとなる可能性があるためである。

【0018】また、各メモリトランジスタが数種類のビット情報を記憶するマルチステートメモリセルである場合の問題もある。この場合、各ステート間のしきい値電圧の差は非常に小さい。例えば、各メモリトランジスタが4種類のビット情報を記憶する4ステートメモリセルであると仮定すると、最上位ビット情報を示す例えば $-3\text{ V}$ のしきい値電圧と、最下位ビット情報を示す例えば $0\text{ V}$ のしきい値電圧との間に、2ステートのビット情報を示すしきい値電圧、例えば $-2\text{ V}$ と $-1\text{ V}$ のしきい値電圧が必要である。このときの各ステート間のしきい値電圧の差は $1\text{ V}$ となる。従ってメモリセルが正常に動作するために、プログラム電圧 $V_{pgm}$ とパス電圧 $V_{pass}$ によるしきい値電圧の変動は、理論的には最大 $0.5\text{ V}$ 以下になるべきであり、実際の多様な変数を考慮すれば現実には約 $0.1\text{ V}$ 以下に抑える必要がある。しかしながら図2から分かるように、しきい値電圧の変動が最大 $0.1\text{ V}$ 以下にあるパス電圧 $V_{pass}$ の範囲は存在しないので、NANDセルユニットはマルチステートメモリセルに使用することができない。

【0019】以上のような従来技術に鑑みて本発明は、上記EEPROMのように、プログラム中に選択ワード線へプログラム電圧、非選択ワード線へパス電圧が印加されるNANDセルユニットを有する不揮発性半導体メモリについて、メモリトランジスタのしきい値電圧変動をより確実に防止できるようなプログラムの技術を提供することを目的とする。或いは、メモリトランジスタのしきい値電圧変動をより確実に防止し、ワード線単位での消去、プログラムの実行を可能とするようなプログラム回路及び方法を提供する。また、NANDセルユニットでもマルチステート情報を記憶できるように、プログラムによる不必要なメモリトランジスタのしきい値電圧の変動を防止可能なプログラム回路及び方法を提供する。

【0020】

【課題を解決するための手段】このような目的を達成するために本発明は、直列接続した複数のフローティングゲート形メモリトランジスタを有してなる多数のセルユニットをメモリセルアレイに備えた不揮発性半導体メモリにおいて、消去後のプログラムで、前記セルユニットのうち少なくとも1つを選択して該選択セルユニット内の1メモリトランジスタを選択しそしてその対応ワード

線へプログラム電圧を提供すると共に、該ワード線に接続した消去データを維持する他のメモリトランジスタにおける前記プログラム電圧の容量カップリングで当該他のメモリトランジスタに接続した隣接メモリトランジスタが非導通化するようにして前記他のメモリトランジスタに局部的昇圧電圧を充電するデコーダを備えることを特徴とする。

【0021】このようなデコーダは、選択セルユニット内の選択メモリトランジスタ及びその両隣の隣接メモリトランジスタを除いた残りのメモリトランジスタの制御ゲートに対応のワード線へプログラム電圧より低い第1パス電圧を提供し、前記隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第1パス電圧より低い第2パス電圧を提供するようにすることができる。或いは、デコーダは、選択メモリトランジスタのビット線側に接続した隣接メモリトランジスタとビット線とのあるメモリトランジスタの制御ゲートに対応のワード線へプログラム電圧より低い第1パス電圧を提供すると共に前記ビット線側隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第1パス電圧より低い第2パス電圧を提供し、また前記ビット線側隣接メモリトランジスタとは反対側の隣接メモリトランジスタの制御ゲートに対応のワード線へ前記第2パス電圧より低い電圧を提供し、そして、消去データを維持する他のメモリトランジスタの属するセルユニットに対応のビット線及び各セルユニットのビット線接続端に設けられた選択トランジスタのゲートに対し第1電圧を提供するようにすることができる。

【0022】また、制御ゲートが対応ワード線へ接続される複数のフローティングゲート形メモリトランジスタを直列接続してなるセルユニットを行と列のマトリクス状に多数配列し、1行に配列の前記セルユニットで行ブロックを構成するようにしたメモリセルアレイを有する不揮発性半導体メモリにおいて、選択行ブロックの選択ワード線に接続された選択メモリトランジスタのうちの第1グループの選択メモリトランジスタを消去データに維持し、残りの第2グループの選択メモリトランジスタを前記消去データと異なるデータにプログラムする消去後のプログラムで、前記選択ワード線とこれに隣接したワード線を除いた残りの前記選択行ブロック内ワード線に第1パス電圧を提供すると共に前記隣接ワード線に前記第1パス電圧より低い第2パス電圧を提供し、前記第1グループの選択メモリトランジスタは充電すると共に前記第2グループの選択メモリトランジスタは放電とし、そして、前記選択ワード線に前記第1パス電圧より高いプログラム電圧を提供することにより、前記第1グループの選択メモリトランジスタの前記充電電圧を更に高めてしきい値電圧が変更されないように充電すると共に前記第2グループの選択メモリトランジスタをプログラムするデコーダを有することを特徴とする。

【0023】即ち本発明によれば、複数のフローティングゲート形メモリトランジスタを直列接続してなるセルストリングを備えた不揮発性半導体メモリのプログラム方法において、プログラム中に消去データのしきい値電圧を維持する選択メモリトランジスタの制御ゲートへプログラム電圧を提供することで該選択メモリトランジスタの両隣の隣接メモリトランジスタが非導通化するようにし、これにより前記選択メモリトランジスタに局部的昇圧電圧を充電してそのしきい値電圧の変化を防止することを特徴とするプログラム方法が提供される。

【0024】この場合、選択メモリトランジスタのビット線側に接続した隣接メモリトランジスタとビット線との間のメモリトランジスタの制御ゲートへプログラム電圧より低い第1パス電圧を印加し、前記ビット線側隣接メモリトランジスタの制御ゲートへ前記第1パス電圧より低い第2パス電圧を印加するようにできる。そして、選択メモリトランジスタのビット線とは反対側に接続した隣接メモリトランジスタの制御ゲートに第2パス電圧を印加する、或いは、選択メモリトランジスタのビット線とは反対側に接続した隣接メモリトランジスタの制御ゲートに第2パス電圧より低い電圧を印加するようにできる。

【0025】或いはまた、本発明によれば、対応ワード線へ制御ゲートを接続した複数のフローティングゲート形メモリトランジスタを直列接続してなる多数のセルユニットから構成されたメモリセルアレイをもち、プログラムで、前記セルユニットのうちの少なくとも1つを選択し、該選択セルユニットのうちの1メモリトランジスタを選択するデコーダを備えた不揮発性半導体メモリにおいて、前記選択メモリトランジスタ及び該選択メモリトランジスタに接続した隣接メモリトランジスタを除く前記選択セルユニット内の残りのメモリトランジスタの制御ゲートに対応したワード線には第1パス電圧を提供し、また前記隣接メモリトランジスタの制御ゲートに対応したワード線には前記第1パス電圧より低い第2パス電圧を提供し、そして前記選択メモリトランジスタの制御ゲートに対応したワード線には前記第1パス電圧より高いプログラム電圧を提供することにより、非選択セルユニットにおける前記第2パス電圧としたワード線に接続のメモリトランジスタを非導通化させて前記プログラム電圧としたワード線に接続のメモリトランジスタを局部的昇圧電圧に充電するプログラム回路を備えることを特徴とする。

【0026】

【発明の実施の形態】以下、本発明の実施形態を添付図面を参照して詳細に説明する。

【0027】この例のメモリセルアレイは行と列のマトリクス状に配列した多数のNANDセルユニットで構成され、各セルユニットは、第1選択トランジスタ、16個のメモリトランジスタ、そして第2選択トランジスタ

タの各ドレインソース通路を直列接続した構成をもっている。各セルユニット内の第1選択トランジスタのドレインは対応ビット線に接続され、第2選択トランジスタのソースは共通ソース線に接続されている。各行に配列されたセルユニットから行ブロックが構成され、各行ブロック内の第1選択トランジスタのゲートは第1選択線に接続されている。また、各行ブロック内の第2選択トランジスタのゲートは第2選択線に接続されている。そして、各行ブロック内の16の同一行に配列されたメモリトランジスタの各制御ゲートは、16本のワード線とそれぞれ接続されている。勿論、本発明はこれらの数に限定されるものではない。

【0028】メモリセルアレイは、例えば半導体基板につくられたP形ウェル領域に形成される。図3及び図4に、メモリセルアレイを構成するセルユニットの1つについて代表的に平面図と断面図で示してある。半導体基板10は(100)の結晶面と約 $7 \times 10^{14} / \text{cm}^3$ の不純物濃度を有するP形シリコン単結晶半導体基板である。そして、約 $2 \times 10^{16} / \text{cm}^3$ の不純物濃度を有するP形ウェル領域14が半導体基板10の主表面から約4 $\mu\text{m}$ の深さで形成されている。このP形ウェル領域14は、深さが10 $\mu\text{m}$ で不純物濃度が約 $5 \times 10^{15} / \text{cm}^3$ のN形ウェル領域12に囲まれている。P形ウェル領域14内には、N形不純物で高濃度ドーピングされたN<sup>+</sup>領域16、18、…、30が主表面でチャネル領域38を挟むようにして形成されている。

【0029】N<sup>+</sup>領域16は、コンタクトホール32を通じてアルミニウム等の金属によるビット線BLkと接続される接続領域で、且つ第1選択トランジスタST1kのドレイン領域となる。N<sup>+</sup>領域18~28は、トランジスタST1k、M1k~M16K、GT1kの隣り合った2つのトランジスタの共通ソース・ドレイン領域となる。N<sup>+</sup>領域30は、第2選択トランジスタGT1kのソース領域であると共に埋設形の共通ソース線CSLとなる。尚、この共通ソース線CSLは、N<sup>+</sup>領域30とコンタクトホール介して低抵抗接続し、絶縁層40内に絶縁形成される導体層とすることも可能である。

【0030】第1及び第2選択トランジスタST1k、GT1kのチャネル領域上部には、約1500Å厚のタングステンシリサイドのような高融点の金属シリサイド物質からなるゲート層42、44が約300Åのゲート絶縁膜45を介してそれぞれ形成されている。また、メモリトランジスタM1k~M16kの各チャネル領域38の上部には、約1500Å厚の多結晶シリコン物質からなるフローティングゲート34が厚さ約90Åのゲート絶縁膜36を介してそれぞれ形成されている。更にこのフローティングゲート34上に、約1500Å厚の高融点金属シリサイド物質からなる制御ゲート46が、例えばSiO<sub>2</sub>-Si<sub>3</sub>N<sub>4</sub>-SiO<sub>2</sub>のONO絶縁膜からなる約250Å厚の中間絶縁膜48を介し、それぞ

れ形成されている。これら第1及び第2選択トランジスタST1k、GT1kのゲート層42、44とメモリトランジスタM1k~M16kの各制御ゲート46は、これらと同じ物質で形成された第1及び第2選択線SSL、GSLとワード線WL1~WL16へそれぞれ接続されている。第1及び第2選択線SSL、GSLとワード線WL1~WL16は、BPSGやPSG或いはシリコン酸化物などの絶縁物質からなる絶縁層40で相互に絶縁されている。

【0031】コンタクトホール32を介してN<sup>+</sup>領域16と接続されたビット線BLkは、絶縁層40上を列方向へ伸張している。また、P形ウェル領域14及びN形ウェル領域12は、図示せぬコンタクトを通じてウェル電極50へ共通に接続される。尚、メモリセルアレイは、N形半導体基板に形成したP形ウェル領域に形成してもよいことは勿論である。

【0032】図5は、多数の行ブロックのうちの1つの行ブロックについて示した回路図である。同図には、選択行ブロック内のワード線WL2を選択してこれに接続のメモリトランジスタM21~M2nに対しページプログラムを実施する状態が示されている。図1に示した従来技術の場合と比べると、選択ワード線WL2に隣接した2つの非選択ワード線WL1、WL3に対し第1パス電圧Vpass1よりも低い第2パス電圧Vpass2を印加しておいて、プログラム電圧Vpgmを選択ワード線WL2に印加するところが異なっている。それにより、選択メモリトランジスタM21の両隣の隣接メモリトランジスタM11、M31が非導通化し、消去データを維持すべき選択メモリトランジスタM21のソース、ドレイン、及びチャネルは、該メモリトランジスタM21のしきい値電圧が変更されないように十分に容量カップリングにより充電される。以下にこれを詳述する。

【0033】プログラムにおいて、選択ワード線WL2に接続の選択メモリトランジスタM21~M2nのうち、メモリトランジスタM21が消去データであるデータ“1”を維持するセルで、残りのメモリトランジスタM22~M2nが例えばデータ“0”の消去データと異なるデータへ変更されるセルと仮定する。この場合、ビット線BL1に接続のデータラッチ(図示略)はデータ“1”をローディングし、ビット線BL2~BLnにそれぞれ接続のデータラッチはデータ“0”をローディングする。このようなプログラムに際してのデータローディング技術は前述の韓国特許公開94-18870号に開示されている。このデータローディングによりプログラムでは、非選択ビット線BL1に接続のデータラッチがデータ“1”に対応する電源電圧Vccを非選択ビット線BL1に提供し、選択ビット線BL2~BLnに接続のデータラッチがデータ“0”に対応する0Vの接地電圧を選択ビット線BL2~BLnに提供する。

【0034】そして、図6に示すように、時点t<sub>0</sub>で電



源電圧  $V_{cc}$  が選択行ブロック内の第 1 選択線  $SSL$  へ行デコーダ 52 から提供される。その後、時点  $t_1$  で、選択ワード線  $WL_2$  に隣接の非選択ワード線  $WL_1$ ,  $WL_3$  に第 2 パス電圧  $V_{pass2}$  が提供され、残りの非選択ワード線  $WL_4 \sim WL_{16}$  に第 2 パス電圧  $V_{pass2}$  よりも高い第 1 パス電圧  $V_{pass1}$  が提供される。この第 1 パス電圧  $V_{pass1}$  は、データ “0” に変更される選択メモリトランジスタ  $M_{22} \sim M_{2n}$  につらなる非選択メモリトランジスタのしきい値電圧を変更しない程度に十分高いレベルの電圧である。また、第 1 パス電圧  $V_{pass1}$  は、この電圧が印加される非選択メモリトランジスタがデータ “0” を示す正のしきい値電圧にプログラムされているときでも、データ “0” にプログラムされる選択メモリトランジスタへ接地電圧を伝送できる十分なレベルの電圧である。従って、第 1 パス電圧  $V_{pass1}$  及び第 2 パス電圧  $V_{pass2}$  の印加により、選択ビット線  $BL_2 \sim BL_n$  に接続された選択セルユニット内の非選択メモリトランジスタのドレイン、ソース、及びチャネルは接地電圧になる。

【0035】一方、非選択ビット線  $BL_1$  に接続された第 1 選択トランジスタ  $ST_{11}$  のソースは、第 1 選択線  $SSL$  が電源電圧  $V_{cc}$  になった後、時点  $t_1$  前に  $V_{cc} - V_{th}$  になる。尚、 $V_{th}$  は第 1 選択トランジスタ  $ST_{11}$  のしきい値電圧である。もし、メモリトランジスタ  $M_{11}$ ,  $M_{31}$  がデータ “0” を示す正のしきい値電圧 ( $V_{th}^+$ ) にプログラムされたセルであれば、時点  $t_1$  前においてメモリトランジスタ  $M_{11}$  は非導通状態にある。従って、このときのメモリトランジスタ  $M_{21} \sim M_{161}$  のドレイン、ソース、及びチャネルは接地状態にある。

【0036】 $V_{pass2} < V_{cc} - V_{th}$  と仮定すると、時点  $t_1$  後の時点  $t_2$  前では、第 2 パス電圧  $V_{pass2}$  の印加により選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは  $V_{pass2} - V_{th}^+$  の電圧に充電される。また、第 1 パス電圧  $V_{pass1}$  の印加によりメモリトランジスタ  $M_{41}$  のドレインは、容量カップリングで  $rV_{pass1}$  に充電される。このとき  $V_{pass2} - rV_{pass1} < V_{th}^+$  なので、メモリトランジスタ  $M_{31}$  もオフ状態にある。

【0037】時点  $t_2$  後は、ワード線  $WL_2$  へ印加されるプログラム電圧  $V_{pgm}$  により、選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルの電圧が  $rV_{pgm} + V_{pass2} - V_{th}^+$  へ昇圧される。そしてこの昇圧によって、選択メモリトランジスタ  $M_{21}$  の両隣の隣接メモリトランジスタ  $M_{11}$ ,  $M_{31}$  は完全に非導通化し、選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは、しきい値電圧の変更を防止するべく局部的に前記昇圧電圧に充電される。

【0038】隣接メモリトランジスタ  $M_{11}$ ,  $M_{31}$  が消去データ “1” を示す負のしきい値電圧を有する場

合、時点  $t_1$  後の時点  $t_2$  前において、選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは  $V_{cc} - V_{th}$  よりも高い電圧に充電される。そして時点  $t_2$  後は、プログラム電圧  $V_{pgm}$  の印加により選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは  $rV_{pgm} + V_{cc} - V_{th}$  の電圧以上に局部的に充電され、これに従って両隣のメモリトランジスタ  $M_{11}$ ,  $M_{31}$  が非導通化する。従って、選択メモリトランジスタ  $M_{21}$  のしきい値電圧は、その局部的昇圧電圧により変動を防止される。

【0039】選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルに充電される電圧は高いほど、当該選択メモリトランジスタ  $M_{21}$  のしきい値電圧の変動をより容易に防止可能である。本例における局部的昇圧電圧つまり  $rV_{pgm} + V_{pass2} - V_{th}^+$  は、従来技術の容量カップリングによる充電電圧よりも高くなるため、選択メモリトランジスタ  $M_{21}$  のしきい値電圧の変動を十分効果的に防止し得る。

【0040】選択ワード線  $WL_2$  に隣接した非選択ワード線  $WL_1$ ,  $WL_3$  のうち、ビット線とは反対側の共通ソース線  $CSL$  側の非選択ワード線  $WL_3$  には、第 2 パス電圧  $V_{pass2}$  に代えて、この電圧よりも低い電圧、例えば接地電圧を印加することも可能である。メモリトランジスタ  $M_{31} \sim M_{3n}$  がデータ “0” プログラムである場合は、その接地電圧の印加によって非導通化することになる。この場合も選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは局部的昇圧電圧に充電され、しきい値電圧の変動が避けられる。

【0041】メモリトランジスタ  $M_{22} \sim M_{2n}$  のドレイン、ソース、及びチャネルは上述したように接地状態となり、これら選択メモリトランジスタ  $M_{22} \sim M_{2n}$  の制御ゲートに印加されるプログラム電圧  $V_{pgm}$  によって、そのしきい値電圧は正のしきい値電圧つまりデータ “0” に変更される。また、ワード線  $WL_4 \sim WL_{16}$  に接続のメモリトランジスタのドレイン、ソース、及びチャネルは、それぞれ  $rV_{pass1}$  の電圧に充電されるので、これらトランジスタのしきい値電圧の変動は防止される。

【0042】図 7 は、選択ワード線  $WL_2$  に接続の選択メモリトランジスタをプログラムするための他の電圧印加タイミングを示した電圧波形図である。図 6 を参照して説明したように、メモリトランジスタ  $M_{11}$ ,  $M_{31}$  がデータ “0” プログラムのとき、選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルは時点  $t_1$  前で  $V_{cc} - V_{th}$  よりも低い電圧に充電される。そして図 7 の時間  $t_1 \sim t_2$  では、第 1 パス電圧  $V_{pass1}$  及び第 2 パス電圧  $V_{pass2}$  を、より高い昇圧レベル  $V_{pass3}$  で所定期間、例えば約  $45 \sim 100$  ns の間印加することにより、時点  $t_3$  前に選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネ

ルを  $V_{cc} - V_{th}$  の電圧に充電可能である。従って、選択ワード線  $WL_2$  へプログラム電圧  $V_{pgm}$  が印加されるときに、図 6 の場合の局部的昇圧電圧よりも高い昇圧電圧を、選択メモリトランジスタ  $M_{21}$  のドレイン、ソース、及びチャネルへ充電可能となる。

【0043】図 8 は、約 2 V の第 2 パス電圧  $V_{pass2}$ 、約 1.8 V のプログラム電圧  $V_{pgm}$ 、約 0.60 のカップリング係数  $r$  とした場合において、第 1 パス電圧  $V_{pass1}$  (横軸) の増加に依存するしきい値電圧の変動を表すグラフである。曲線 A は、選択ビット線に接続された選択セルユニットにおける非選択メモリトランジスタのしきい値電圧の変動を示し、曲線 B は、非選択ビット線に接続された非選択セルユニットにおける選択メモリトランジスタのしきい値電圧の変動を示す。同図から分かるように、-3 V のしきい値電圧にメモリトランジスタが消去された後にプログラムが行われる場合、第 1 パス電圧  $V_{pass1}$  が 6.0 ~ 9.5 V の電圧範囲にあれば、両曲線 A、B の選択、非選択メモリトランジスタのしきい値電圧には変動がない。即ち、第 1 パス電圧  $V_{pass1}$  がその範囲内の電圧でありさえすれば、しきい値電圧変動を起こすおそれがないということであり、従来のように両者の妥協点を探す必要はない。従って、メモリトランジスタのしきい値電圧変動を生じない第 1 パス電圧  $V_{pass1}$  とプログラム電圧  $V_{pgm}$  に関するマージンがひろくなり、再プログラムなどの実施でデータ変化の発生するおそれを排除できるので、ワード線単位のページ消去とプログラムが行えるようになる。また、しきい値電圧の変動がないということは、NAND セルユニット内の各メモリトランジスタについてマルチステートのビット情報記憶が可能である。

【0044】図 9 及び図 10 は、この例における行デコーダの回路例を示しており、両図で 1 行デコーダの構成を表している。

【0045】図 9 は行デコード回路の部分を示しており、NAND ゲート (54-0) ~ (54-15)、(58-0) ~ (58-15)、(60-0) ~ (60-15) と、インバータ (56-0) ~ (56-15)、(62-0) ~ (62-15)、(64-0) ~ (64-15) と、を用いて構成されている。NAND ゲート (54-0) ~ (54-15) は、選択行ブロック内の 16 本のワード線のうちいずれか 1 つを選択するために、アドレス信号  $A_0 \sim A_3$  とその相補信号バー  $A_0 \sim$  バー  $A_3$  の組合せで演算を行う。インバータ (56-0) ~ (56-15) は、NAND ゲート (54-0) ~ (54-15) の出力を受けて、16 本のワード線のうちいずれか 1 つを選択するプログラムデコーディング信号  $T_{pgm0} \sim T_{pgm15}$  を発生する。

【0046】NAND ゲート (58-0) ~ (58-15)、(60-0) ~ (60-15) 及びインバータ (62-0) ~ (62-15)、(64-0) ~ (64

-15) で構成された回路部分は、NAND ゲート (54-0) ~ (54-15) からの出力信号バー  $T_0 \sim$  バー  $T_{15}$  の組合せに応答して、第 1 及び第 2 パス電圧を発生するための第 1 デコーディング信号  $T_{1b0} \sim T_{1b15}$  及び第 2 デコーディング信号  $T_{fb0} \sim T_{fb15}$  を発生する。例えば、ワード線  $WL_4$  の選択であれば、プログラムデコーディング信号  $T_{pgm3}$ 、第 1 デコーディング信号  $T_{1b2}$ 、 $T_{1b4}$ 、第 2 デコーディング信号  $T_{fb0}$ 、 $T_{fb1}$ 、 $T_{fb5} \sim T_{fb15}$  が “H” レベル (電源電圧  $V_{cc}$ ) となり、残りの信号  $T_{pgm0} \sim T_{pgm2}$ 、 $T_{pgm4} \sim T_{pgm15}$ 、信号  $T_{1b0}$ 、 $T_{1b1}$ 、 $T_{1b3}$ 、 $T_{1b5} \sim T_{1b15}$ 、信号  $T_{fb2} \sim T_{fb4}$  は “L” レベル (接地電圧) となる。

【0047】図 10 はプログラム回路の部分を示しており、プログラムデコーディング信号  $T_{pgm0} \sim T_{pgm15}$  と第 1 デコーディング信号  $T_{1b0} \sim T_{1b15}$  及び第 2 デコーディング信号  $T_{fb0} \sim T_{fb15}$  に応答して、ワード線  $WL_1 \sim WL_{16}$  を駆動する信号を発生する回路である。図示の回路は、エンハンスメントモードの N チャネル MOS トランジスタ 66 ~ 88、デプレッションモードの N チャネル MOS トランジスタ 90 ~ 106、そして MOS キャパシタ 108 ~ 112 から構成されている。

【0048】デプレッションモードの N チャネル MOS トランジスタ 90 ~ 106 は、高電圧の伝達によるトランジスタ 66 ~ 70、78 ~ 82、84 ~ 88 の絶縁破壊を防止する機能をもつ。MOS キャパシタ 108 とトランジスタ 72、78、96 で構成された部分は、ライン 114 が “H” レベルのときに、リング発振器 (図示略) によるクロック信号  $\phi$  に応答してライン 114 へプログラム電圧  $V_{pgm}$  よりも高い高電圧を発生し、トランジスタ 102、84 のチャネルを通じてプログラム電圧  $V_{pgm}$  がワード線  $WL_{i+1}$  へ確実に伝わるようにする一般的な高電圧発生回路 120 である。同様に、MOS キャパシタ 110 とトランジスタ 74、80、98 で構成された部分は第 2 パス電圧  $V_{pass2}$  をワード線  $WL_{i+1}$  へ伝達するための高電圧発生回路 121 であり、MOS キャパシタ 112 とトランジスタ 76、82、100 で構成された部分は第 1 パス電圧  $V_{pass1}$  をワード線  $WL_{i+1}$  へ伝達するための高電圧発生回路 122 である。高電圧発生回路 121 は、第 1 デコーディング信号  $T_{1bi}$  が “H” レベルのときに第 2 パス電圧  $V_{pass2}$  をワード線  $WL_{i+1}$  へ伝え、高電圧発生回路 122 は、第 2 デコーディング信号  $T_{fbi}$  が “H” レベルのときに第 1 パス電圧  $V_{pass1}$  をワード線  $WL_{i+1}$  へ伝える。

【0049】この図 9 及び図 10 に示す行デコーダは、ワード線  $WL_4$  の選択で信号  $T_{pgm3}$ 、 $T_{1b2}$ 、 $T_{1b4}$ 、 $T_{fb0}$ 、 $T_{fb1}$ 、 $T_{fb5} \sim T_{fb15}$  が “H” レベルとなり、これにより、ワード線  $WL_1$ 、 $W$

L2, WL5~WL15へ第1パス電圧 $V_{pass1}$ を、ワード線WL3, WL5へ第2パス電圧 $V_{pass2}$ を、そしてワード線WL4へプログラム電圧 $V_{pgm}$ を提供する。

【0050】尚、多数の行ブロックのうちいずれか1つを選択する行ブロック選択回路と共通ソース線を駆動する回路等については、前述の韓国特許公開94-18870号に開示されているものを流用可能である。

【0051】この実施形態では、第1及び第2パス電圧の印加後にプログラム電圧を印加するようにしてあるが、第1及び第2パス電圧と同時にプログラム電圧を印加するようにもできる。また、非選択ビット線と第1選択トランジスタのゲートに電源電圧を印加する例を示したが、非選択ビット線と第1選択トランジスタのゲートには第1電圧として、例えば第1パス電圧やそれより低い中間電圧を印加するようにもできる。

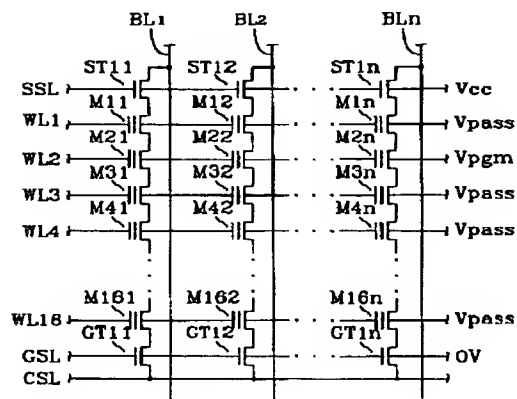
【0052】

【発明の効果】以上述べてきたように本発明によれば、メモリトランジスタのしきい値電圧を変動させるおそれのない電圧範囲を得られるので、ワード線単位で消去やプログラム動作を行え、且つデータ保有の信頼性を向上させる。また、低電圧の第2パス電圧を使用することから第1パス電圧を低めに設定可能で、消費電力低減にも効果がある。

【図面の簡単な説明】

【図1】従来技術のページプログラム方法を説明するメモリセルアレイの1行ブロックについての概略回路図。

【図1】



【図2】従来におけるパス電圧とメモリトランジスタのしきい値電圧の関係を示したグラフ。

【図3】1NANDセルユニットの平面図。

【図4】図3中の断面線I-Iに沿う断面図。

【図5】本発明のページプログラム方法を説明するメモリセルアレイの1行ブロックについての概略回路図。

【図6】本発明のページプログラム方法による電圧印加タイミングの一例を示した電圧波形図。

【図7】本発明のページプログラム方法による電圧印加タイミングの他の例を示した電圧波形図。

【図8】本発明における第1パス電圧とメモリトランジスタのしきい値電圧の関係を示したグラフ。

【図9】本発明のページプログラム方法用の行デコーダの一例を示す回路図。

【図10】本発明のページプログラム方法用の行デコーダの一例を示す回路図。

【符号の説明】

Vcc 電源電圧

Vpgm プログラム電圧

Vpass1 第1パス電圧

Vpass2 第2パス電圧

Vpass3 昇圧レベル

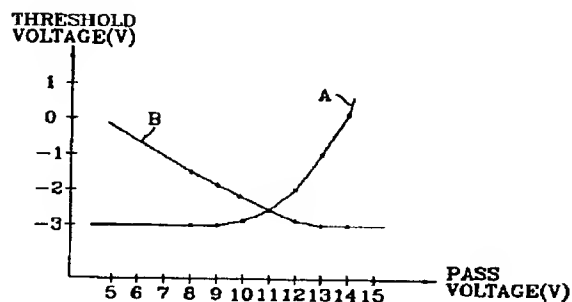
SSL 第1選択線

WL1~WL16 ワード線

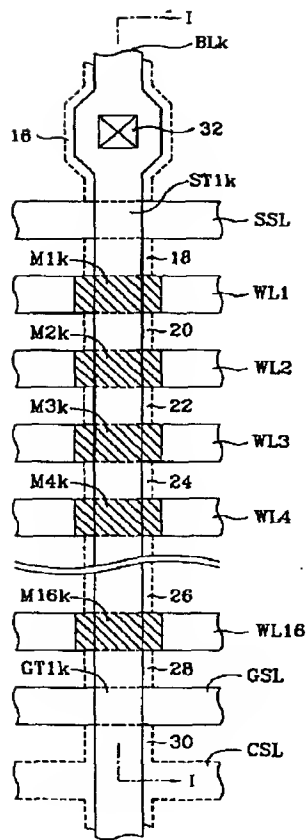
GSL 第2選択線

CSL 共通ソース線

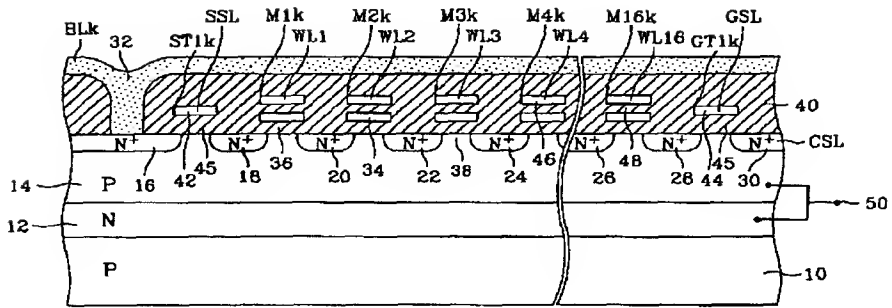
【図2】



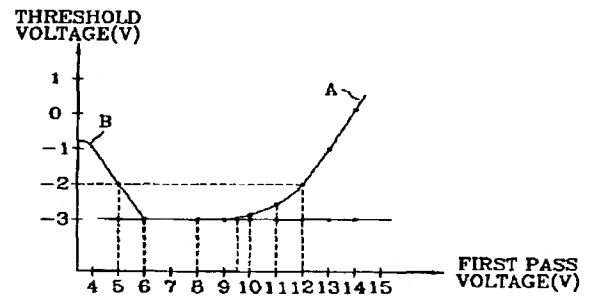
【図 3】



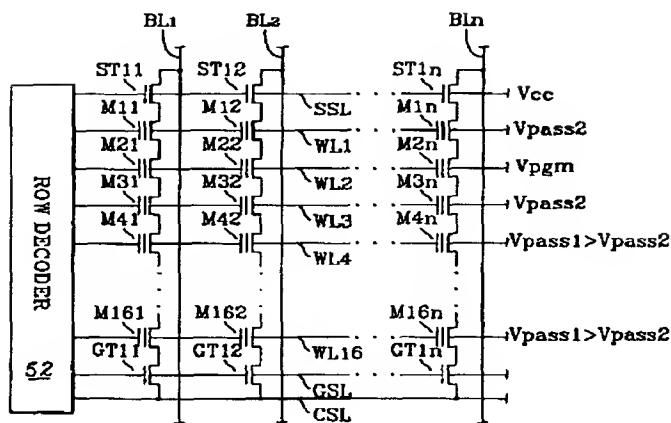
【図 4】



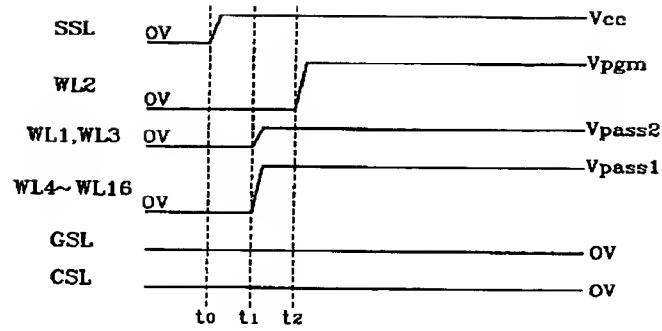
【図 8】



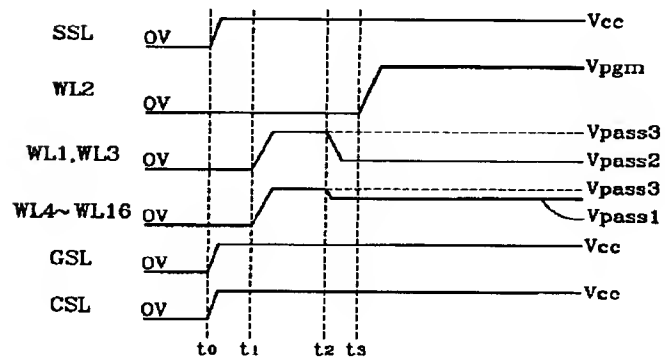
【図 5】



【図 6】



【図 7】



【図 9】

